





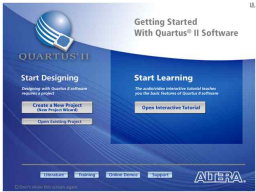
CPLD 개발 환경 설치하기

- 실험 목표

CPLD(Complex Programmable Logic Device)에 임의의 논리 회로를 프로그램할 수 있는 개발 환경을 설치하는 방법을 습득한다.

- 실험 부품

EPM3064A TC44-10N (CPLD Chip) Module
Quartus II

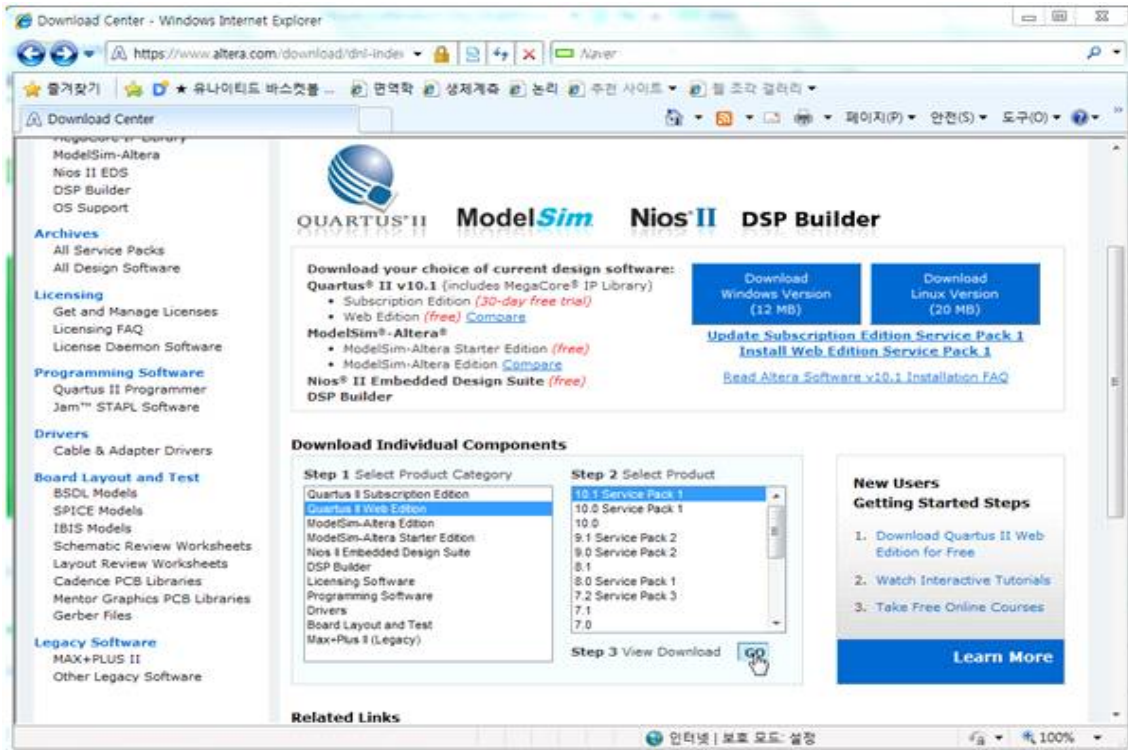
EPM3064A TC44-10N (CPLD Chip) Module	5V 어댑터	3.3V 레귤레이터 전원 커넥터
		
	ByteBlaster MV	Quartus II 프로그램
		

- 실험 순서

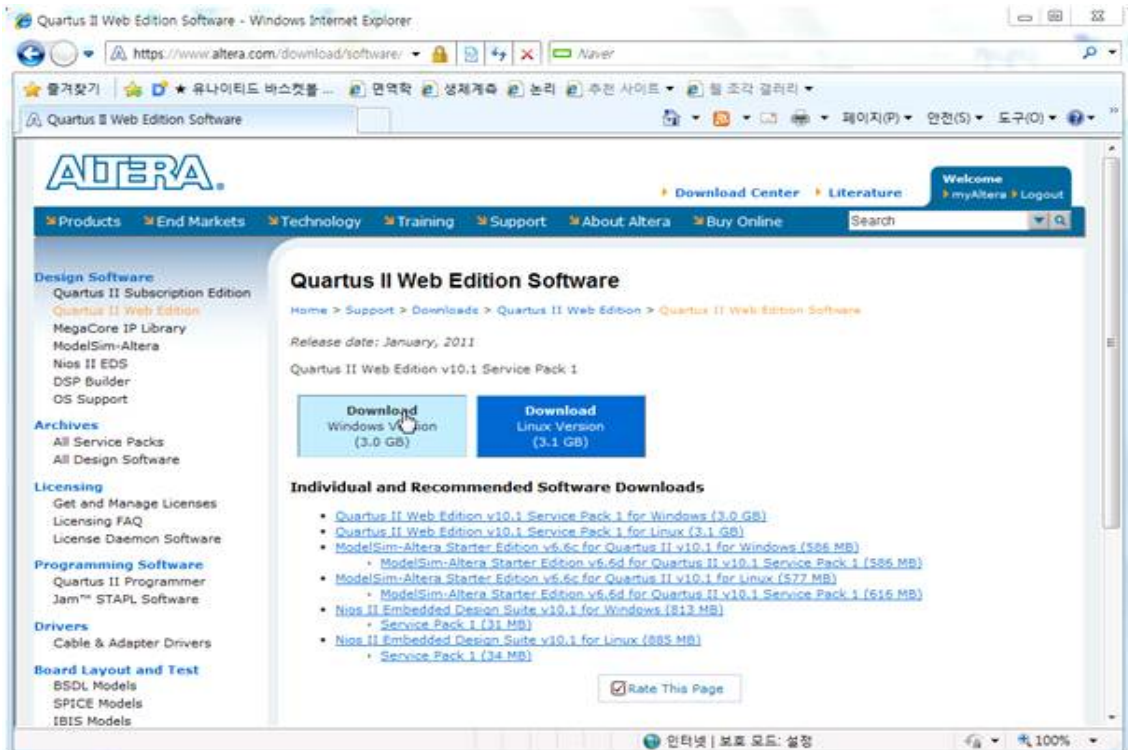
설치 파일 다운로드와 설치

- 앞으로 실험에서 사용할 CPLD Chip의 제조사인 Altera 홈페이지에 접속해서[Support] -[Downloads] 메뉴를 선택해 Download Center로 이동한 후 Download Individual Components의 Quartus II Web Edition과 원하는 버전을 선택하고 GO 버튼을 클릭한

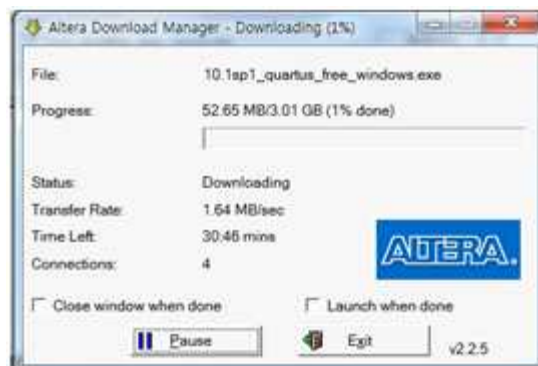
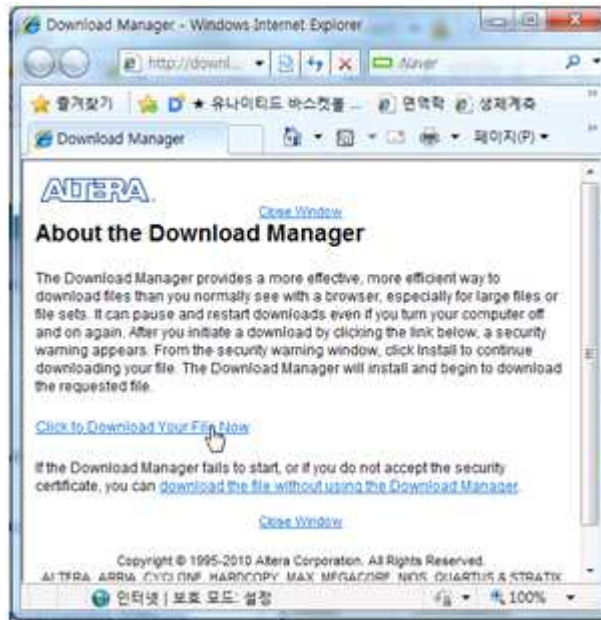
다.



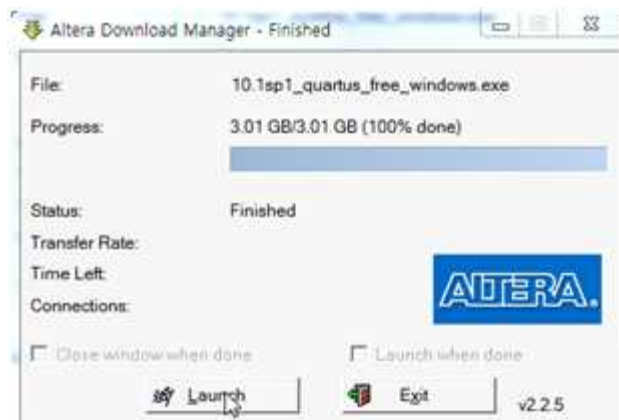
- 자신의 OS에 맞는 다운로드 링크를 선택한다.



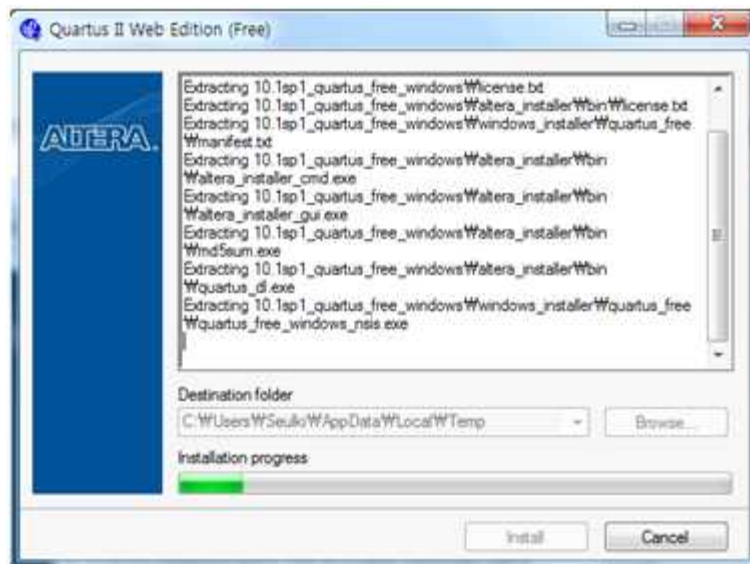
- 팝업 창이 열리면 Click to Download Your File Now를 클릭해 파일을 다운로드 한다.



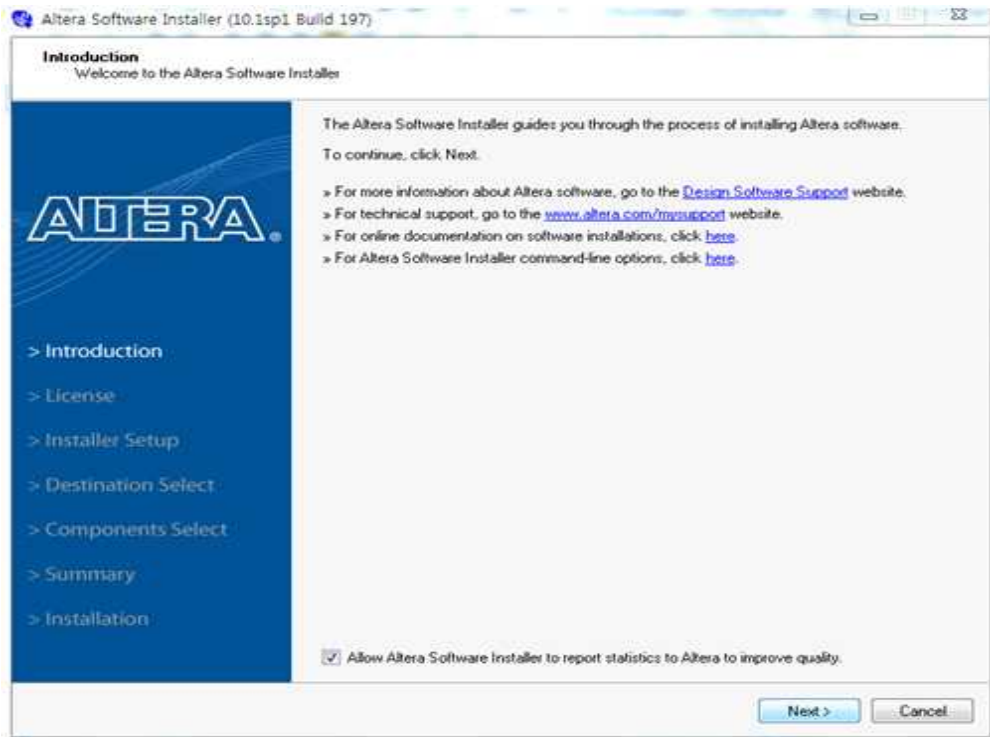
- 다운로드가 완료되면 Launch를 선택해서 다운로드 받은 설치 파일을 실행한다.



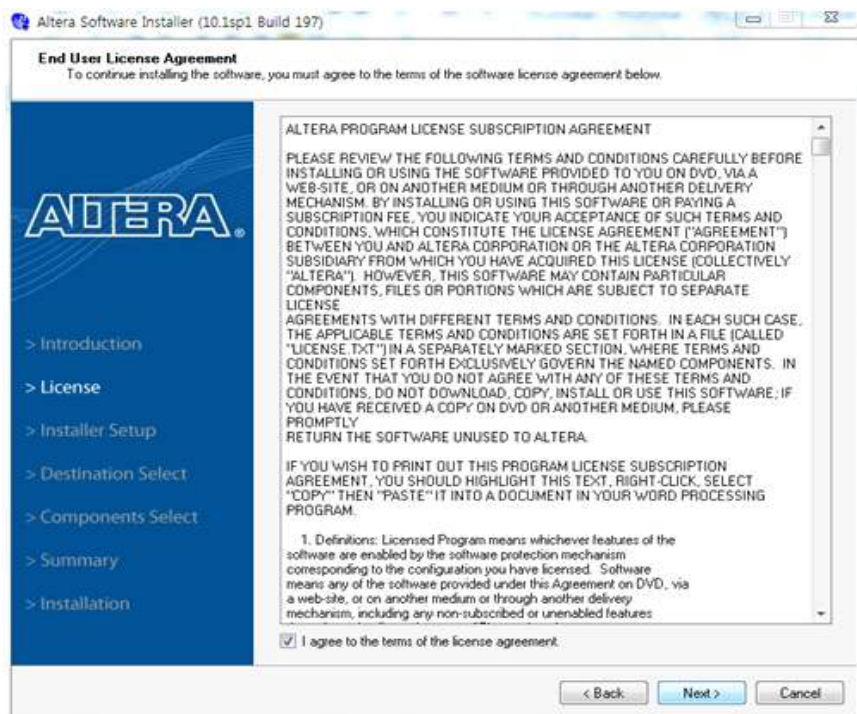
- 설치 파일을 실행하여 Install을 선택하면 설치 과정을 진행한다.



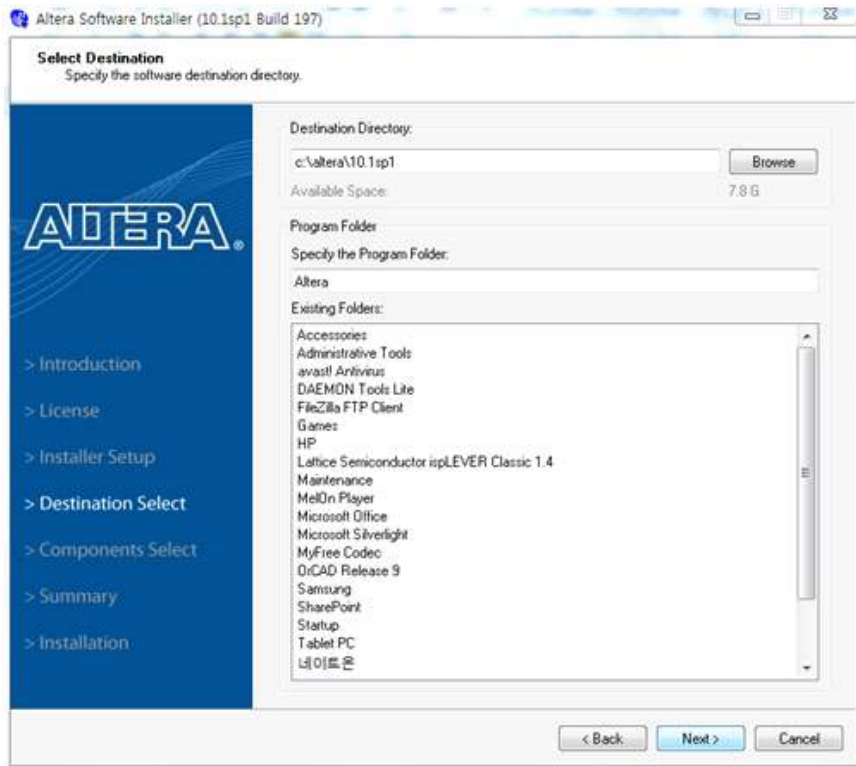
- 파일 추출이 완료되면 본격적인 설치 과정이 시작된다. 지시에 따라 선택 사항을 선택하여 설치한다.



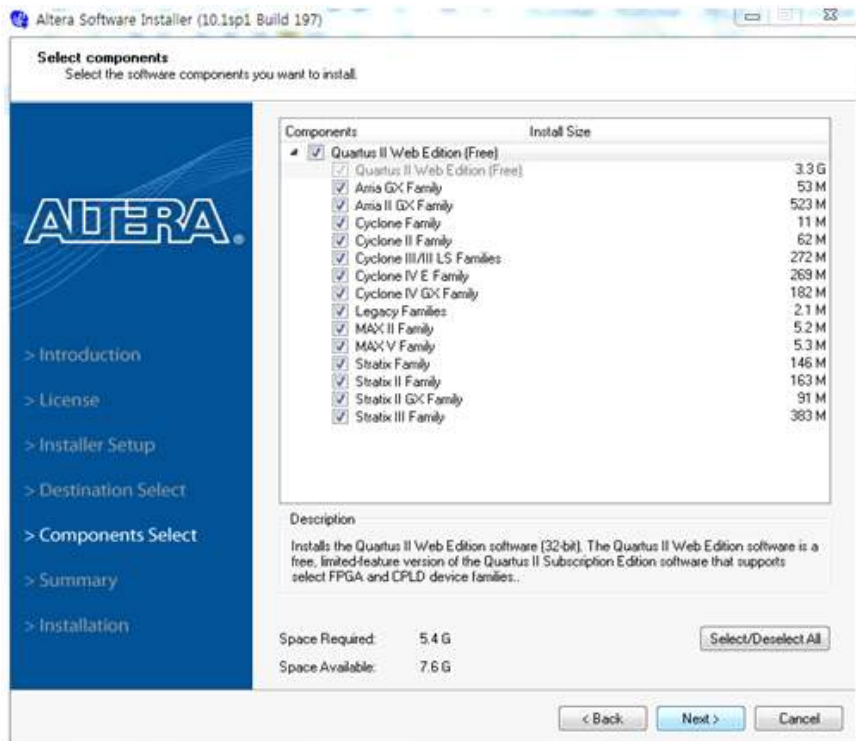
- 라이선스 내용에 동의함에 체크한 후 Next를 선택한다.



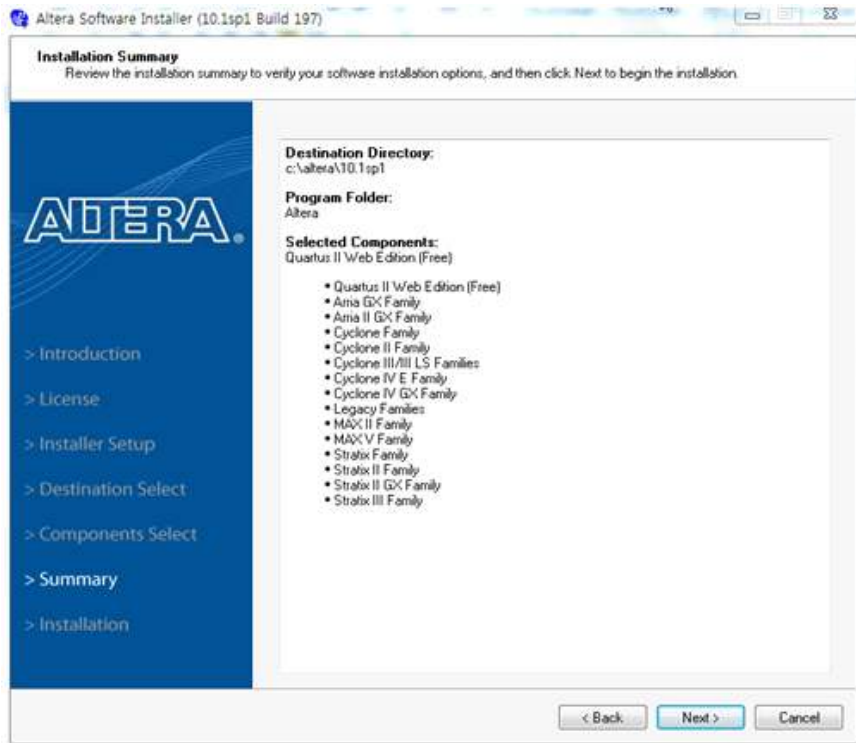
- 설치할 위치 지정과 프로그램 그룹을 생성하고 Next를 선택한다.



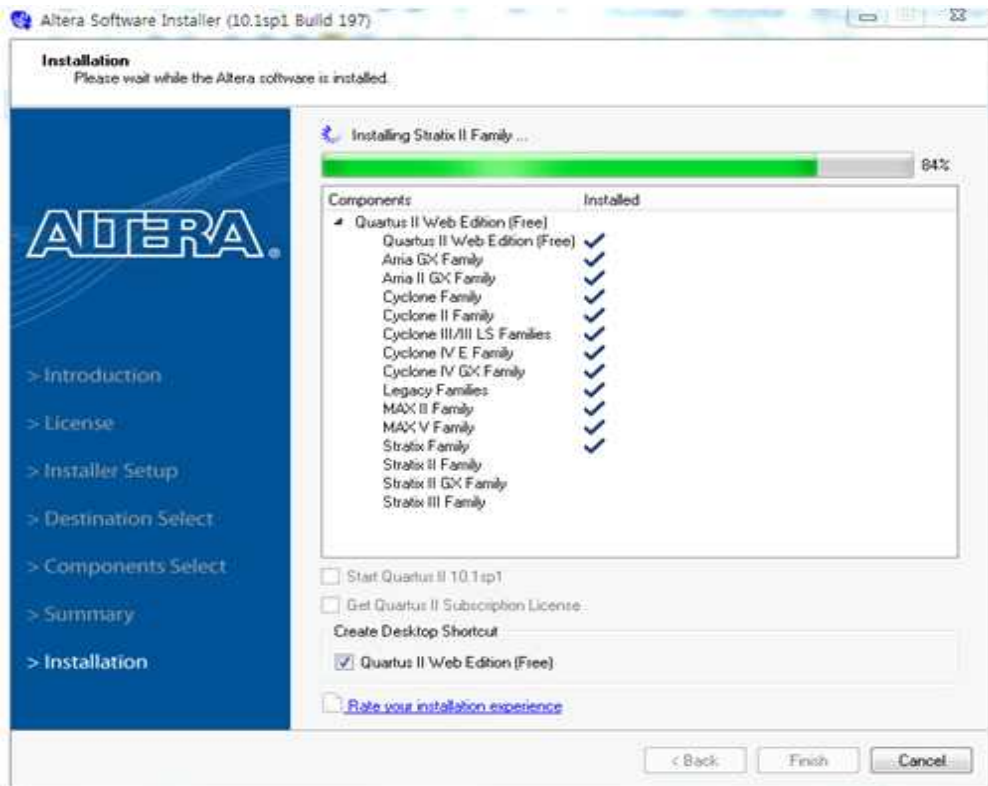
- 개발에 사용할 chip의 제품군을 선택한다.(예시에서는 모두 선택했으나 원하는 제품군만 선택하면 됨.) 선택 사항 선택 후 Next를 선택한다.



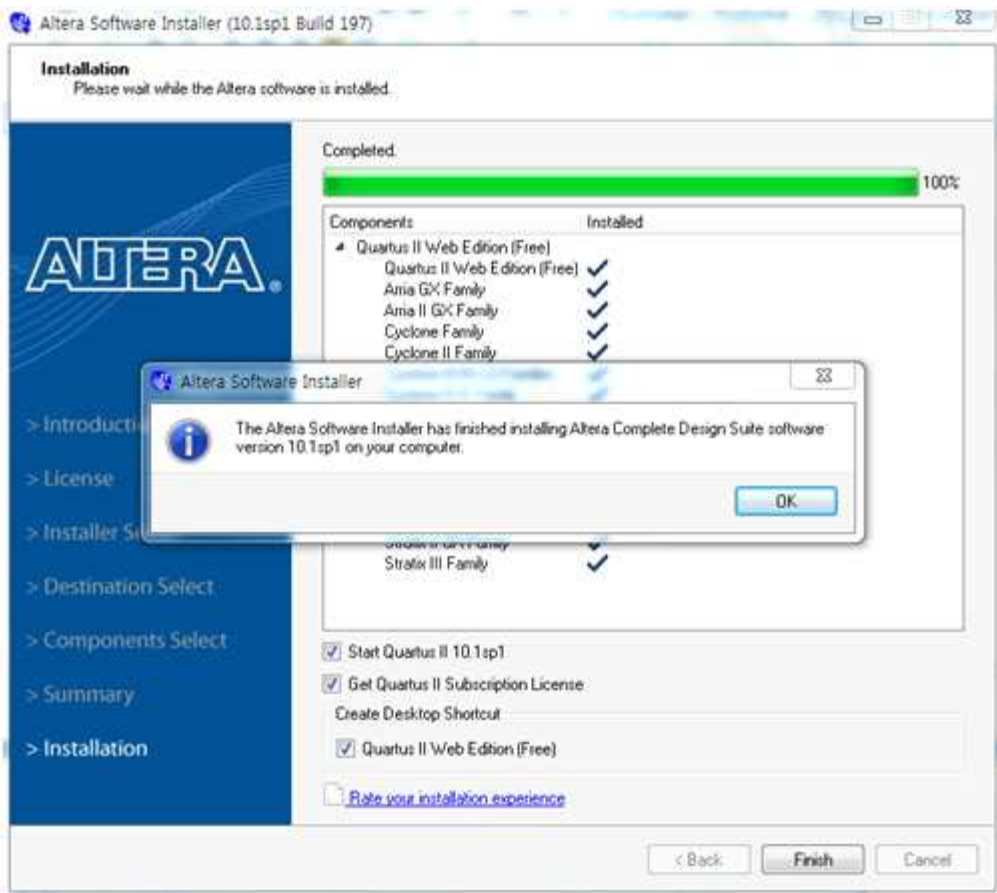
- 사용자 선택 사항에 대한 요약이 표시된다. Next를 선택한다.



- 선택 항목들의 설치가 진행된다.



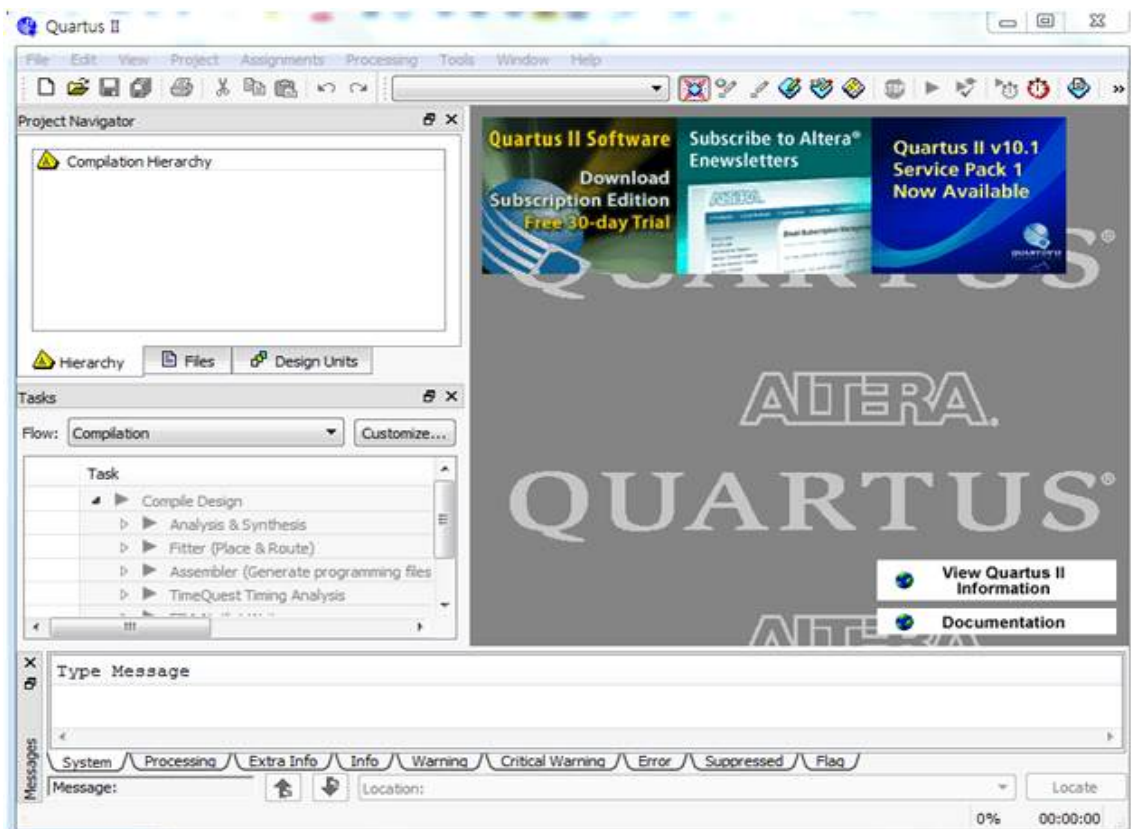
- 설치 완료 메시지가 나타나면 OK를 선택한다.



- 설치가 완료되면 Run the Quartus II software를 선택해 프로그램의 실행을 확인한다.

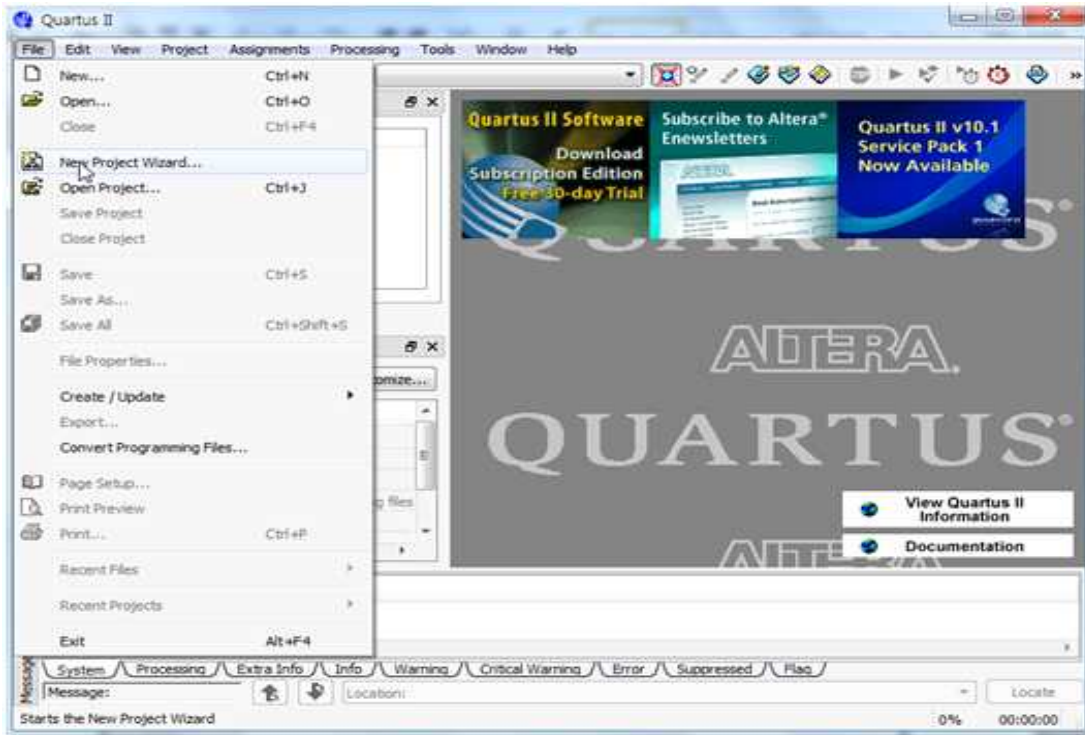


- 처음 Quartus II를 실행하면 아래와 같은 창이 나타난다.

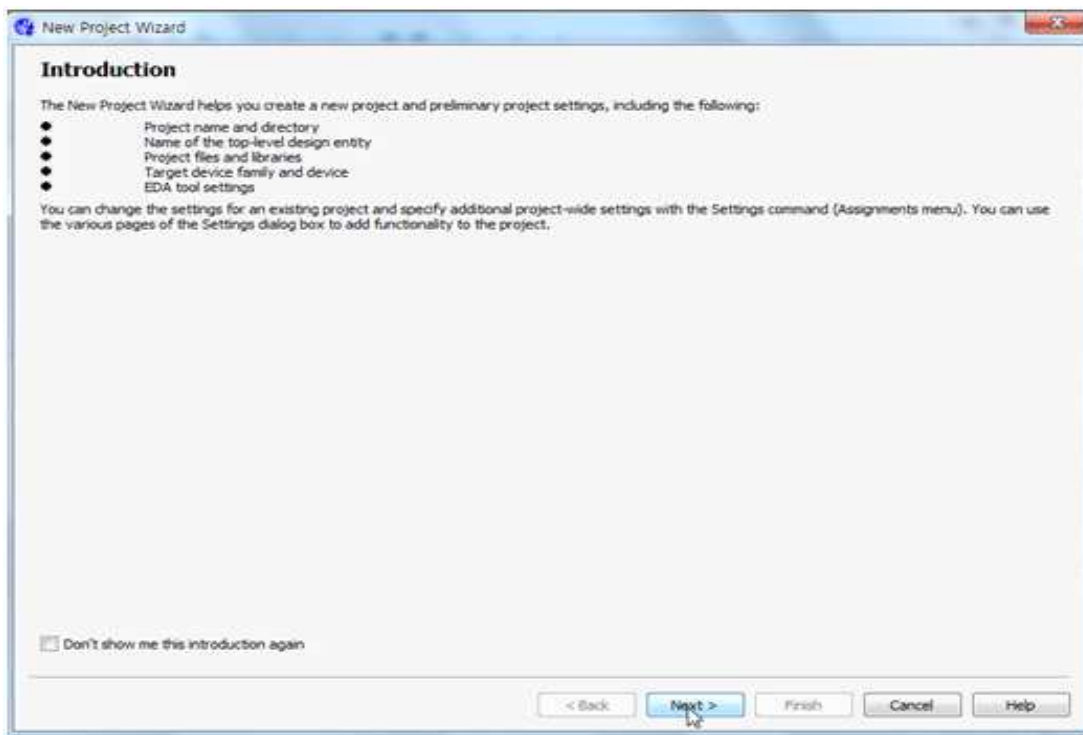


Quartus II에서 프로젝트 생성 및 CPLD Chip에 프로그래밍하기

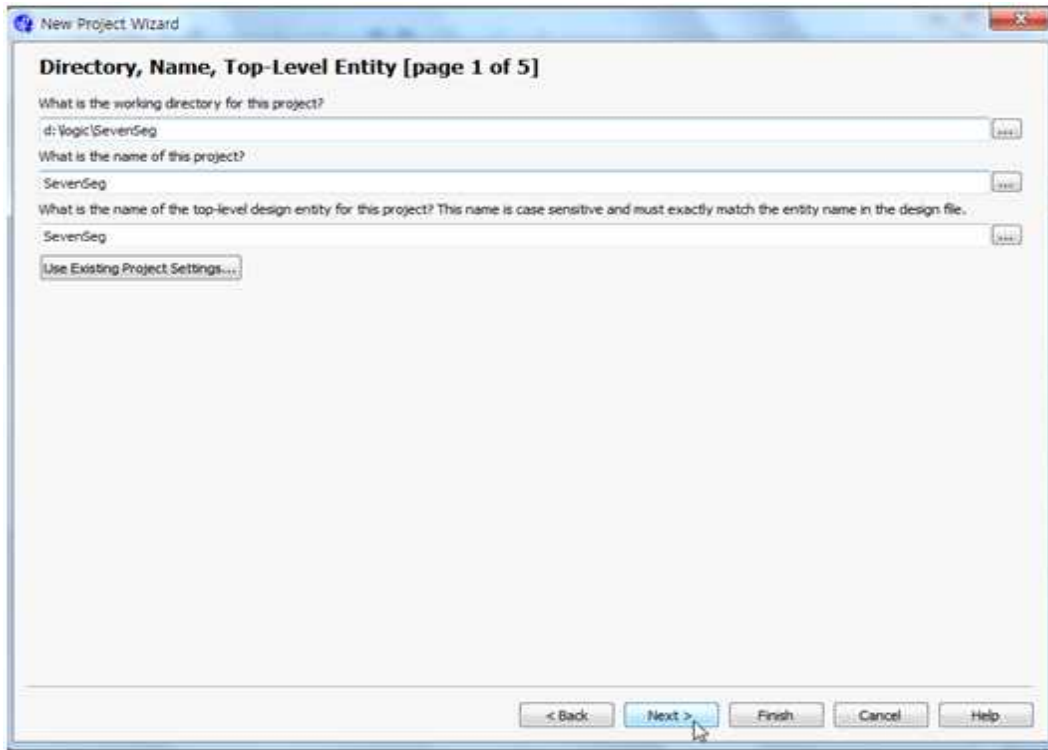
- Quartus II를 실행하고 프로젝트를 생성을 위해 New Project Wizard를 선택



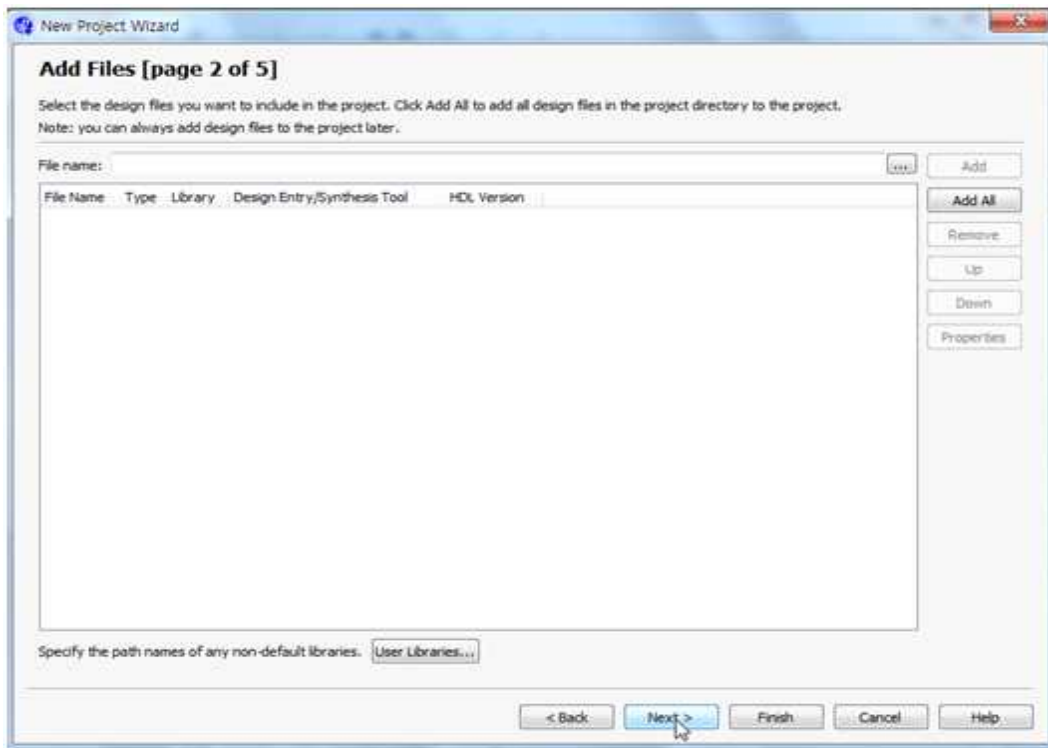
- 프로젝트 생성에 대한 Introduction이 표시된다.



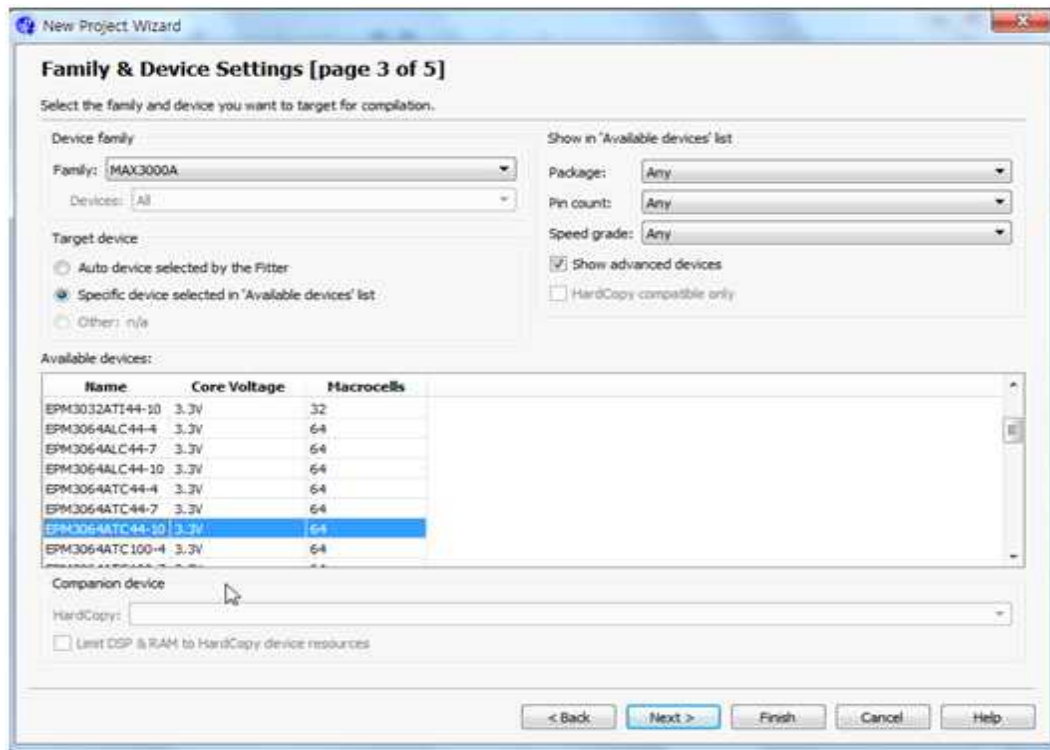
- 프로젝트 디렉토리, 프로젝트 이름, 엔티티의 이름을 정해준다. 이때 프로젝트 이름과 엔티티의 이름을 동일해야한다.



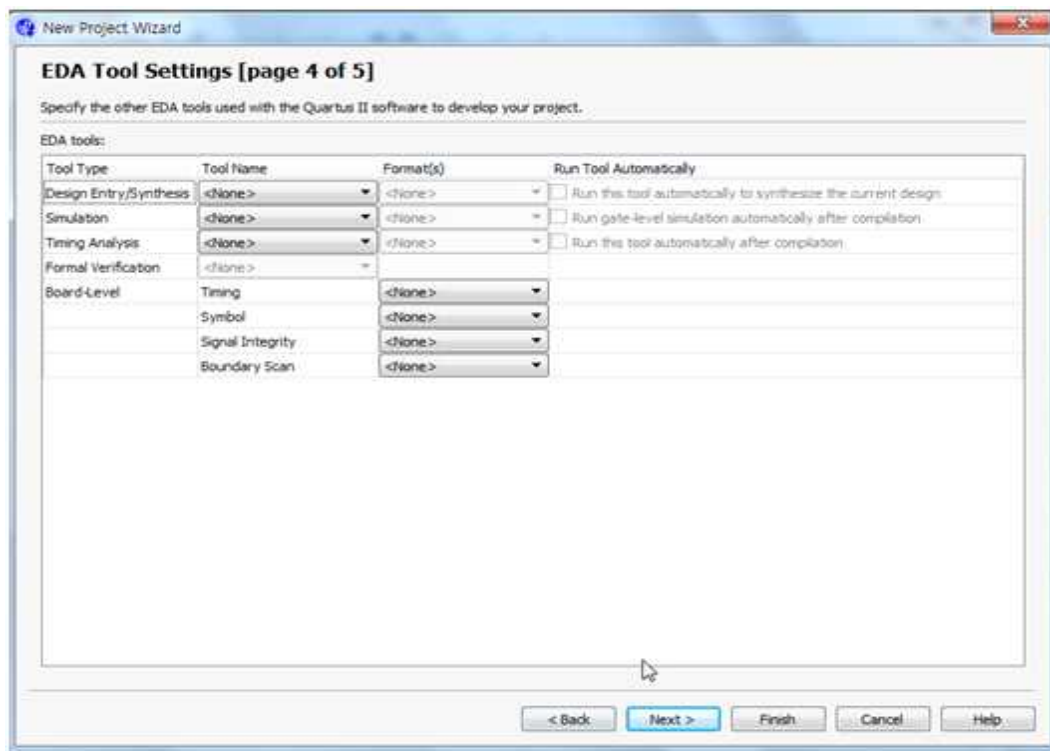
- 프로젝트에 필요한 모듈을 추가한다.



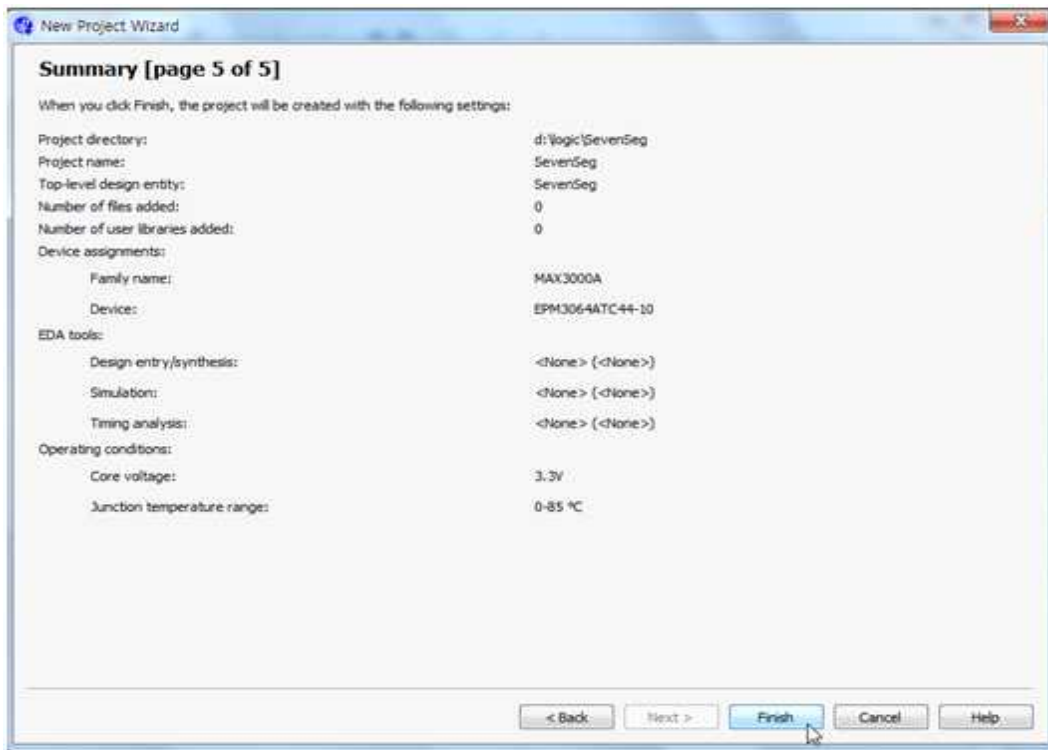
- 프로젝트에 사용할 Chip의 제품군을 선택하고 Chip을 선택한다



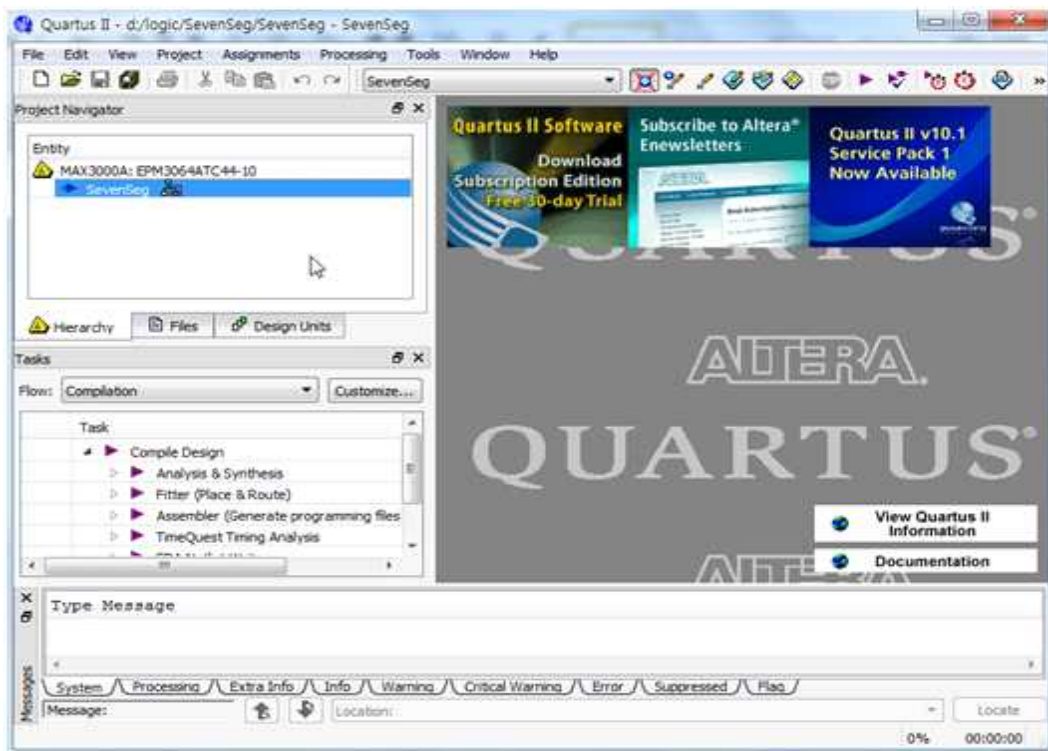
- Quartus II 이외의 Tool을 사용할지 여부를 선택한다.



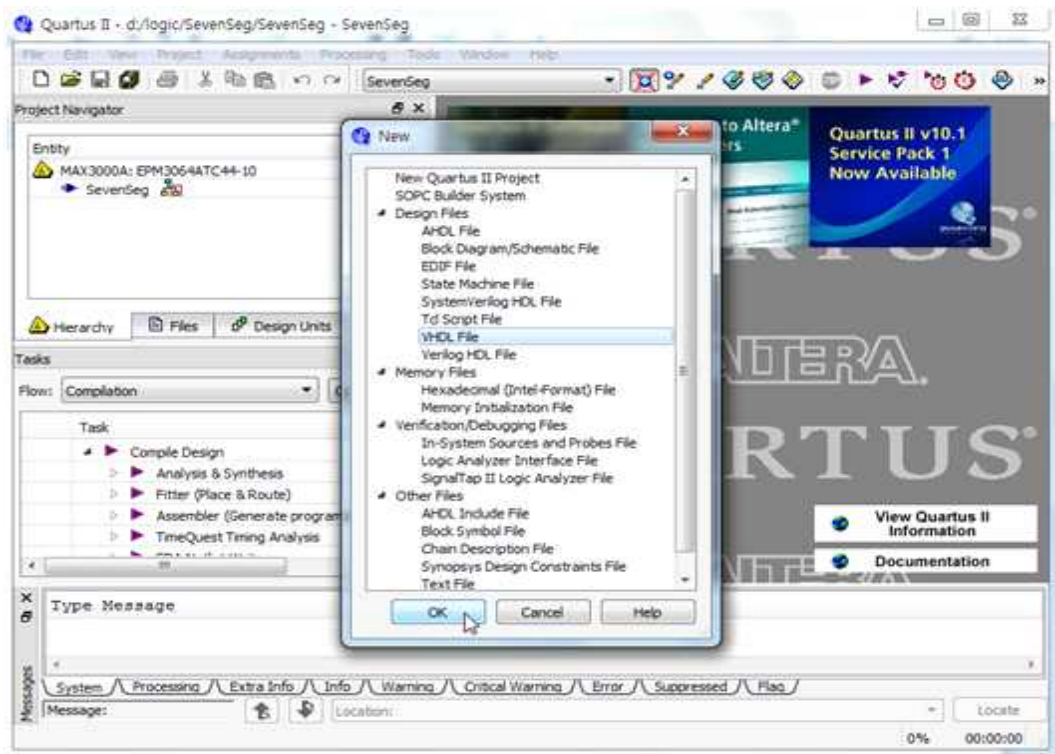
- 생성할 프로젝트에 대한 요약이 표시되면 Finish를 선택한다.



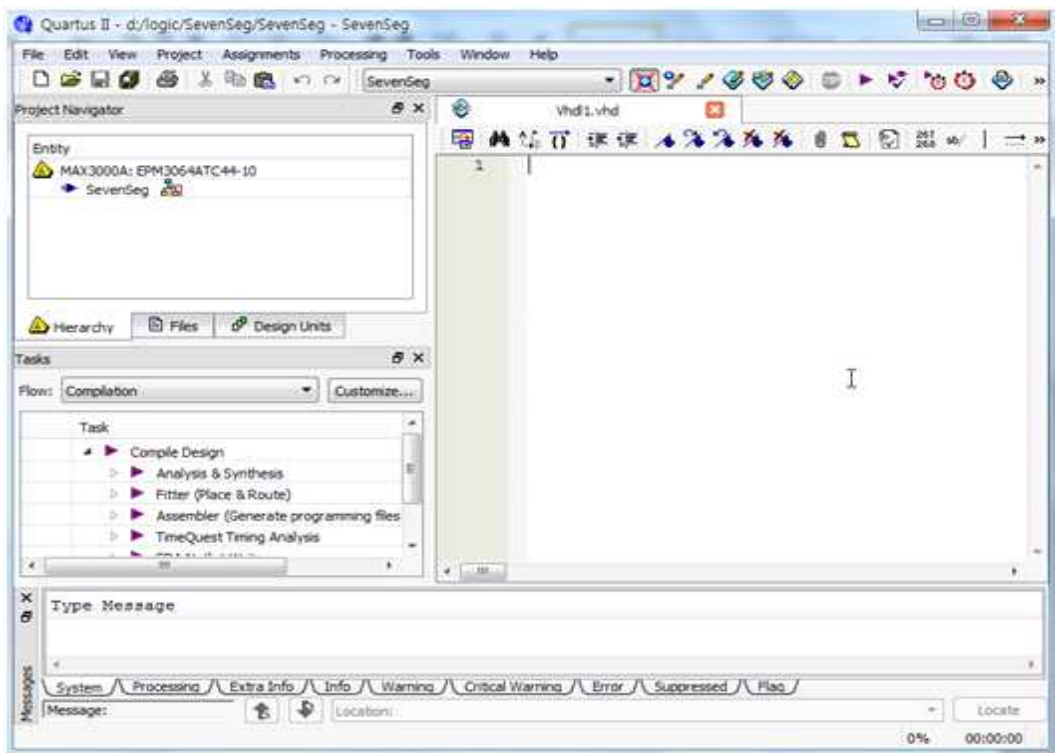
- SevenSeg 프로젝트가 생성된 화면.



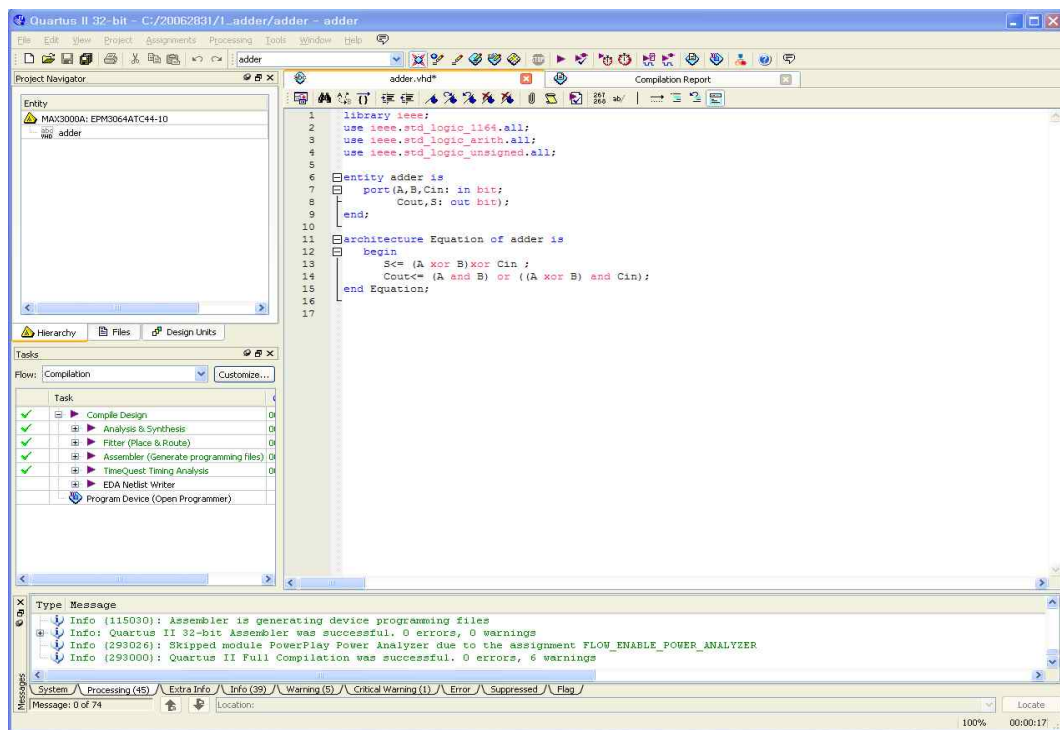
- VHDL코드를 작성하기 위해 File-New를 선택하고 Design Files-VHDL File 을 선택한다.



- VHDL 코드를 입력할 수 있는 텍스트 편집창이 생긴다.



- VHDL 코드를 입력한다.



해당 예제는 4bit full adder를 coding한 program이다.

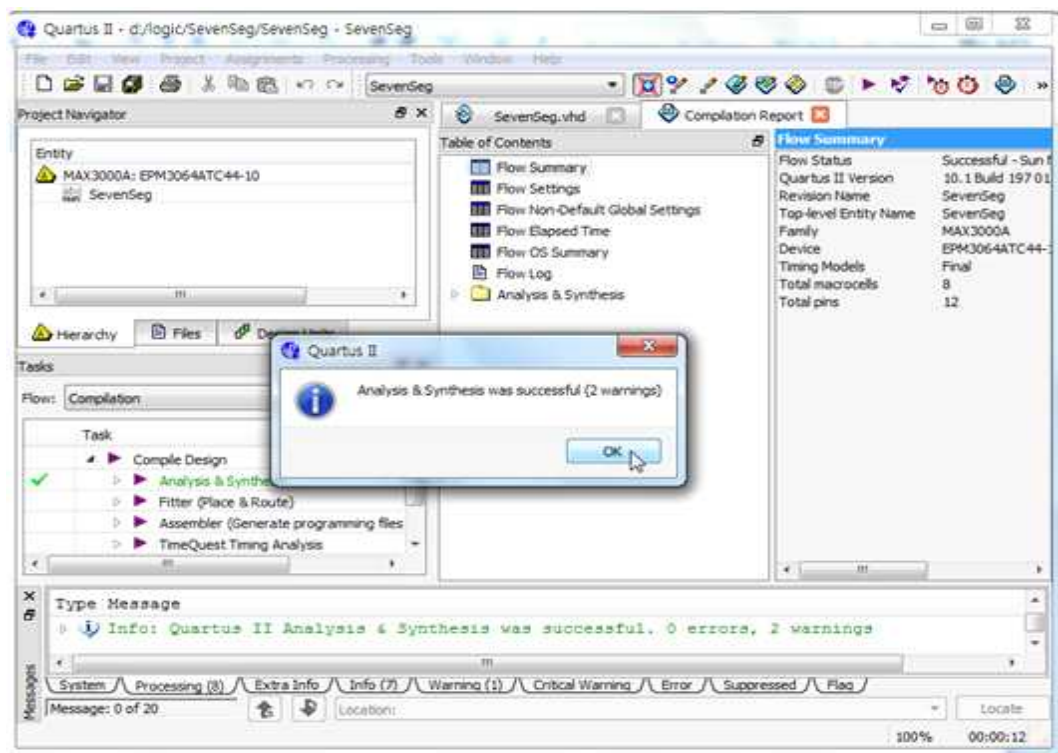
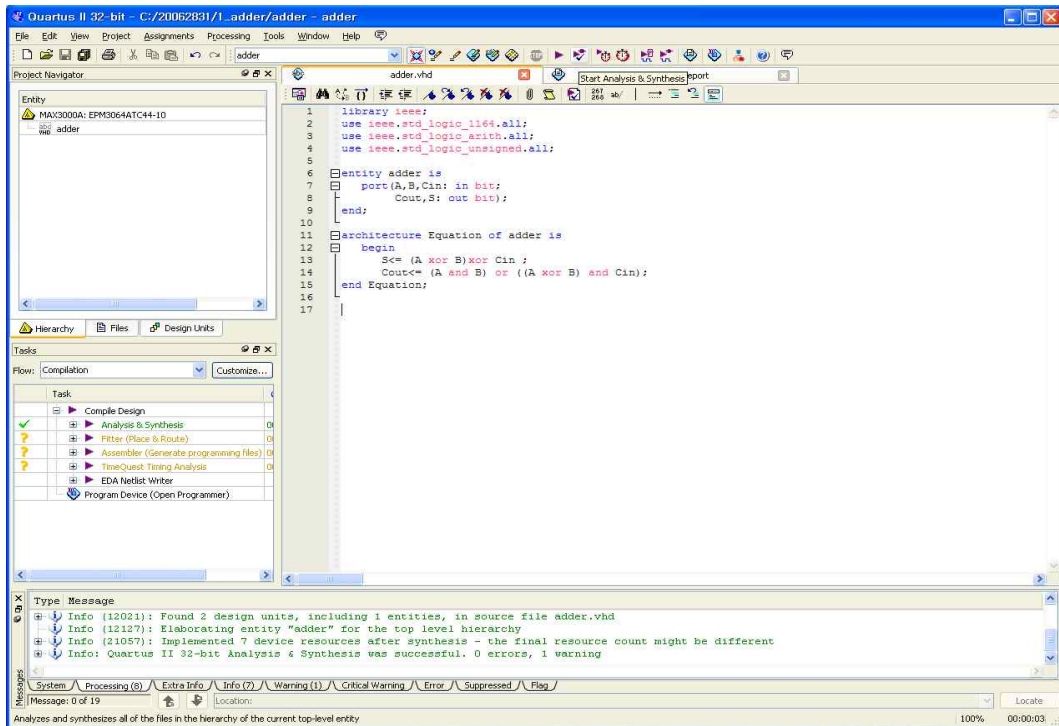
- 4bit full adder coding 내용

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

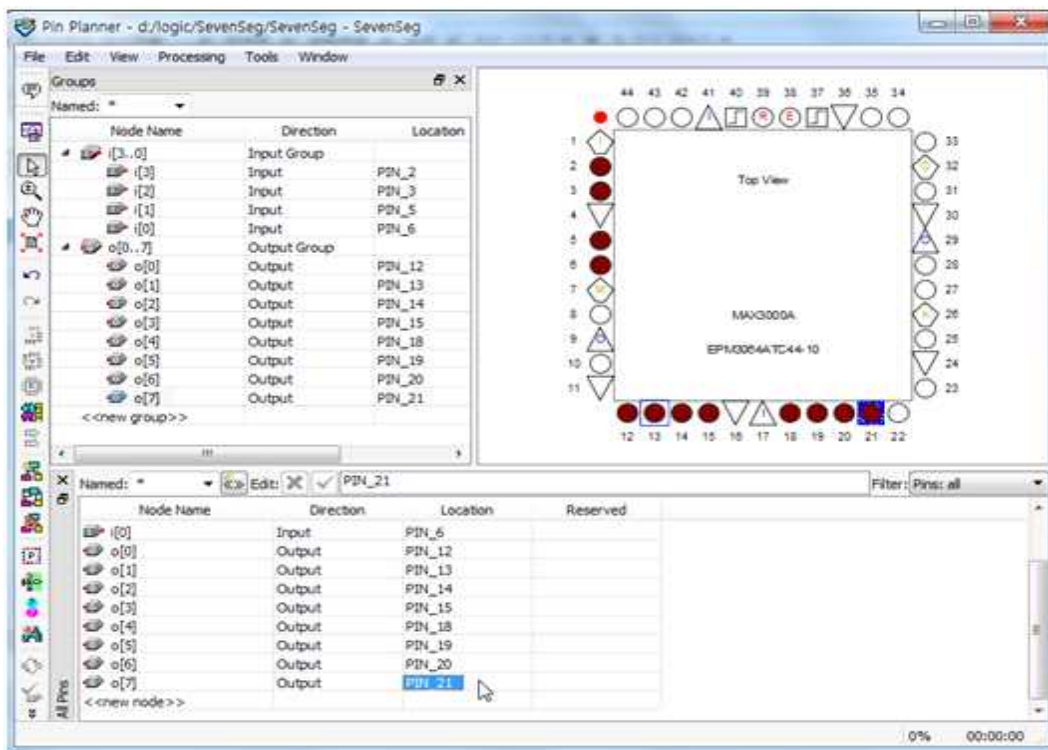
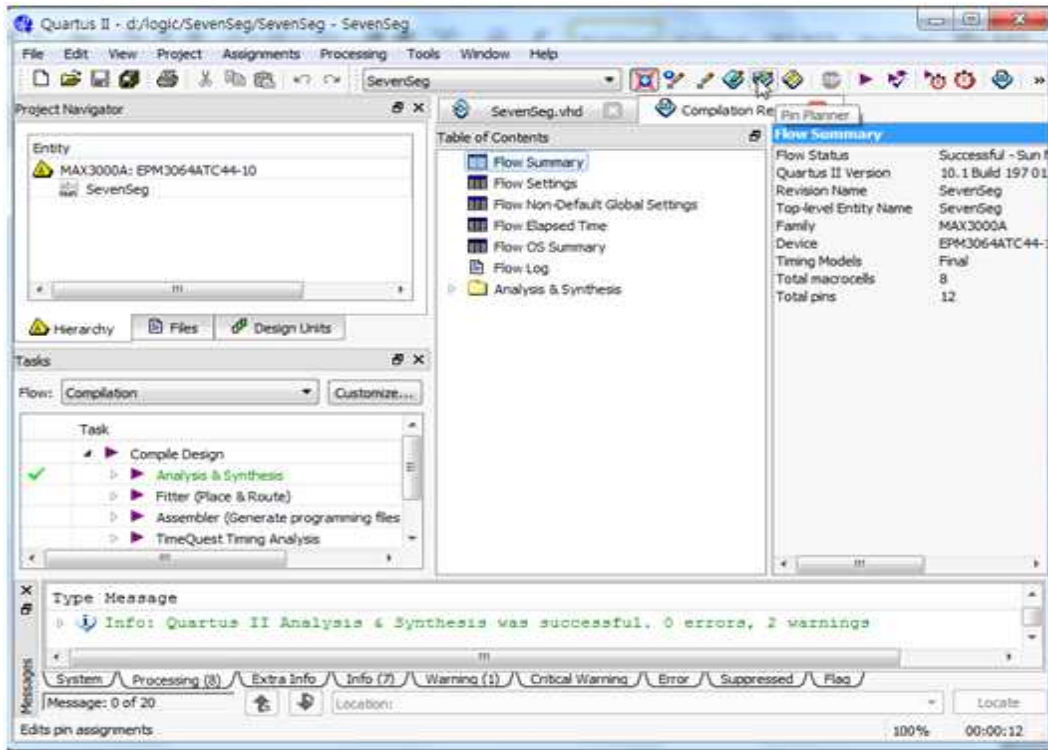
entity adder is
    port(A,B,Cin: in bit;
          Cout,S: out bit);
end;

architecture Equation of adder is
    begin
        S<= (A xor B)xor Cin ;
        Cout<= (A and B) or ((A xor B) and Cin);
    end Equation;
```

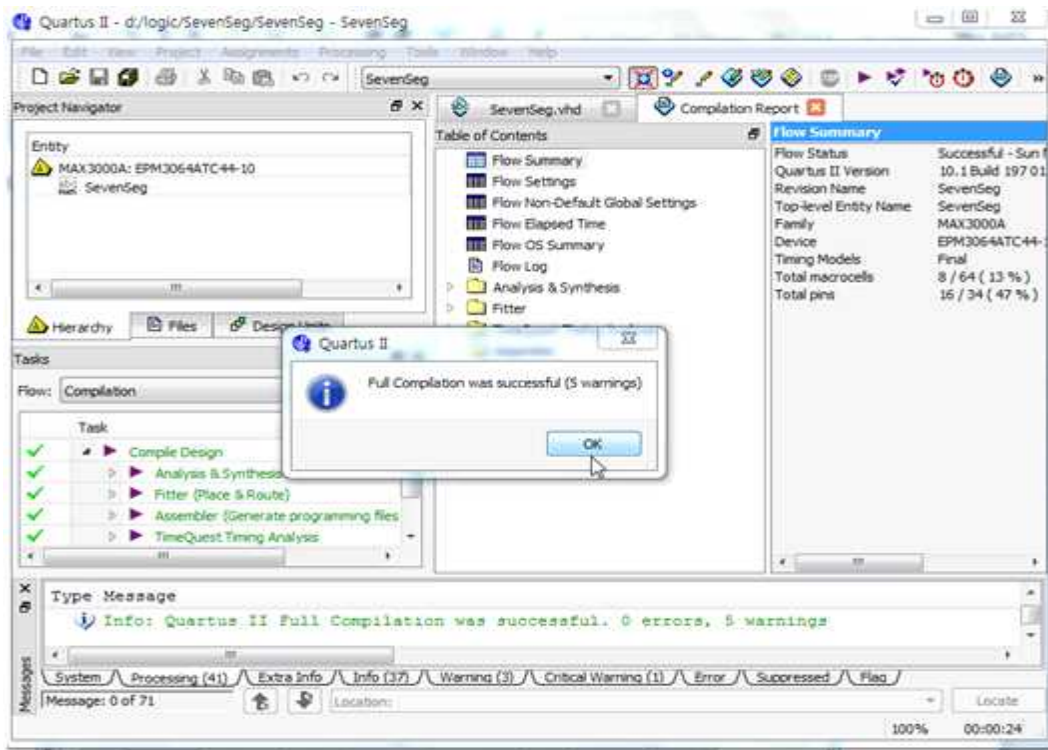
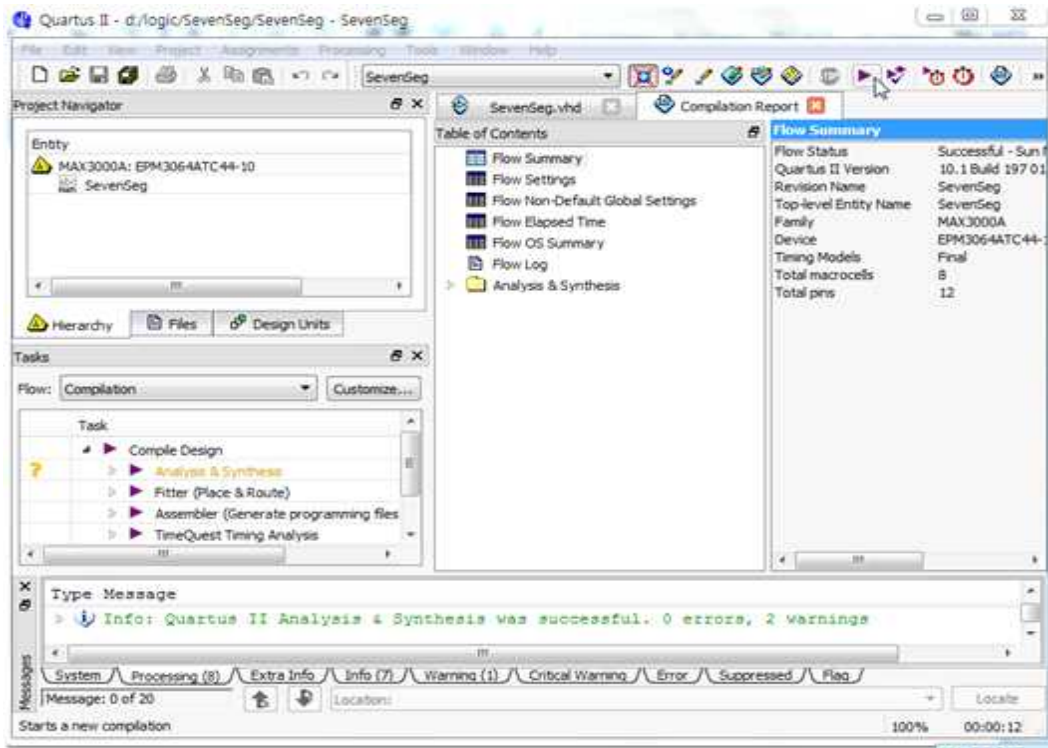
- VHDL코드 작성을 완료하면 Start Analysis & Synthesis를 선택해서 VHDL 코드를 분석 및 종합하는 과정을 실행한다.



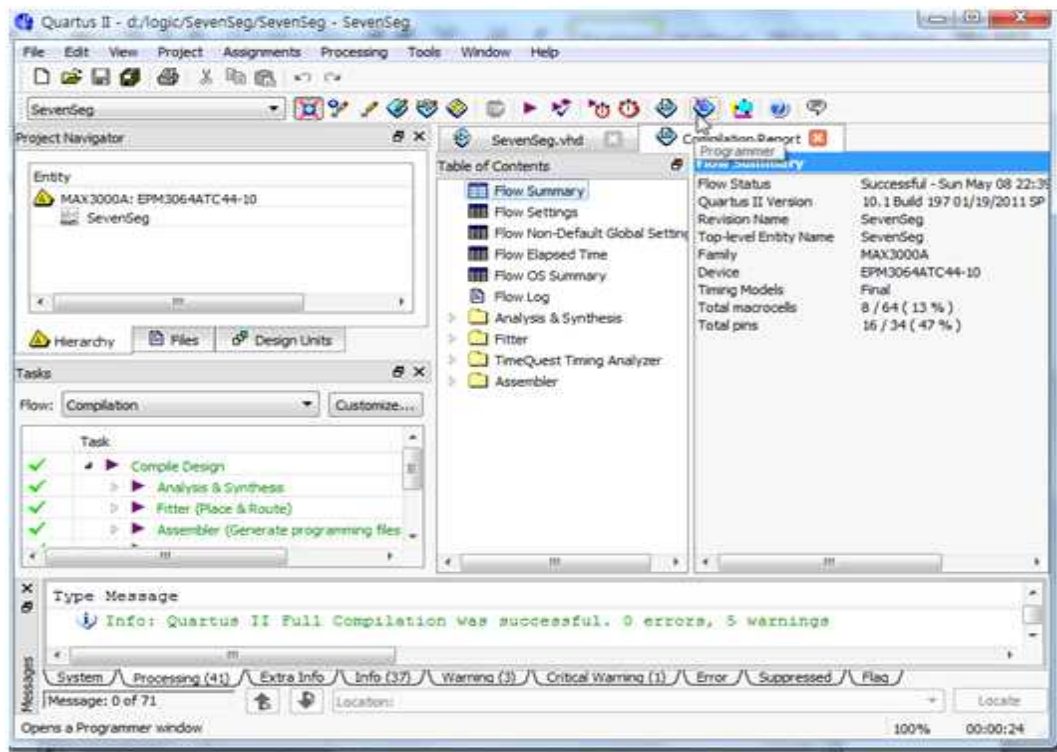
- Analysis & Synthesis 과정일 끝나면 Pin Planner를 선택하여 Chip의 핀과 VHDL 코드의 입력 출력을 mapping 한다.



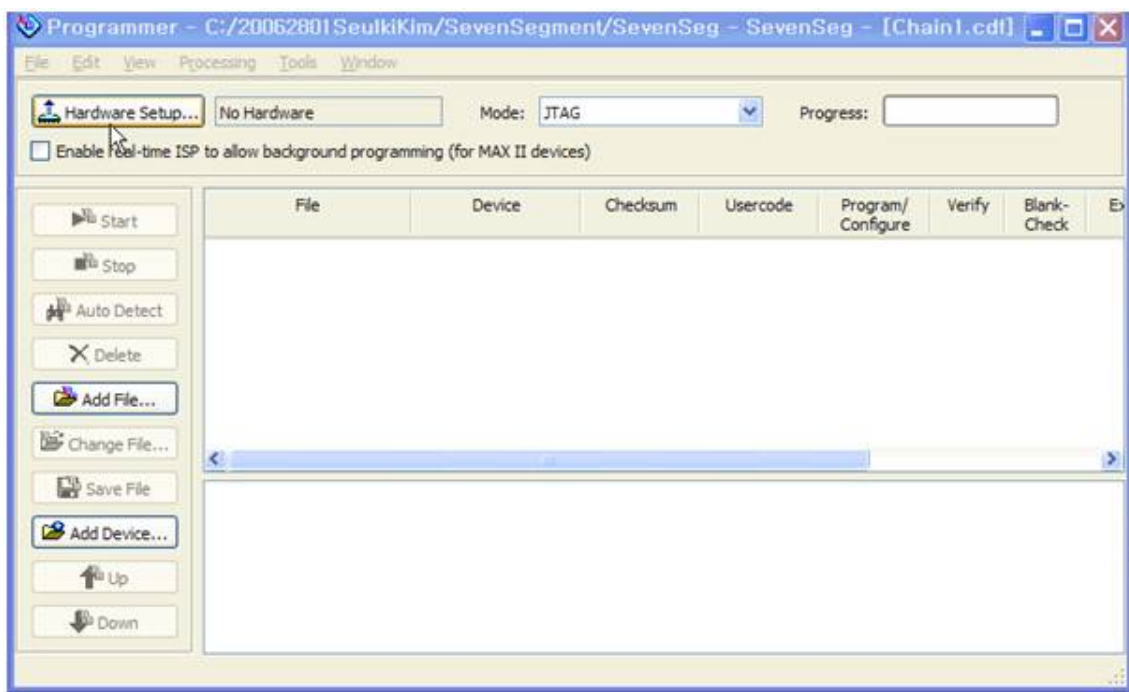
- Pin mapping을 완료하면 Start Compilation을 선택해서 컴파일 과정을 실행한다.



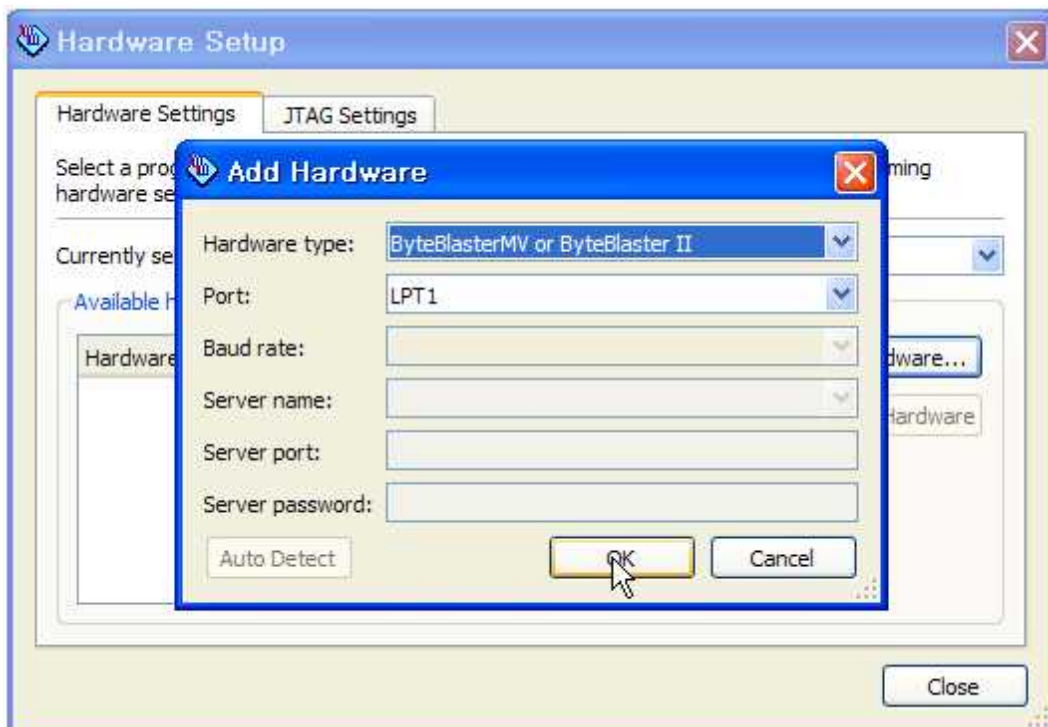
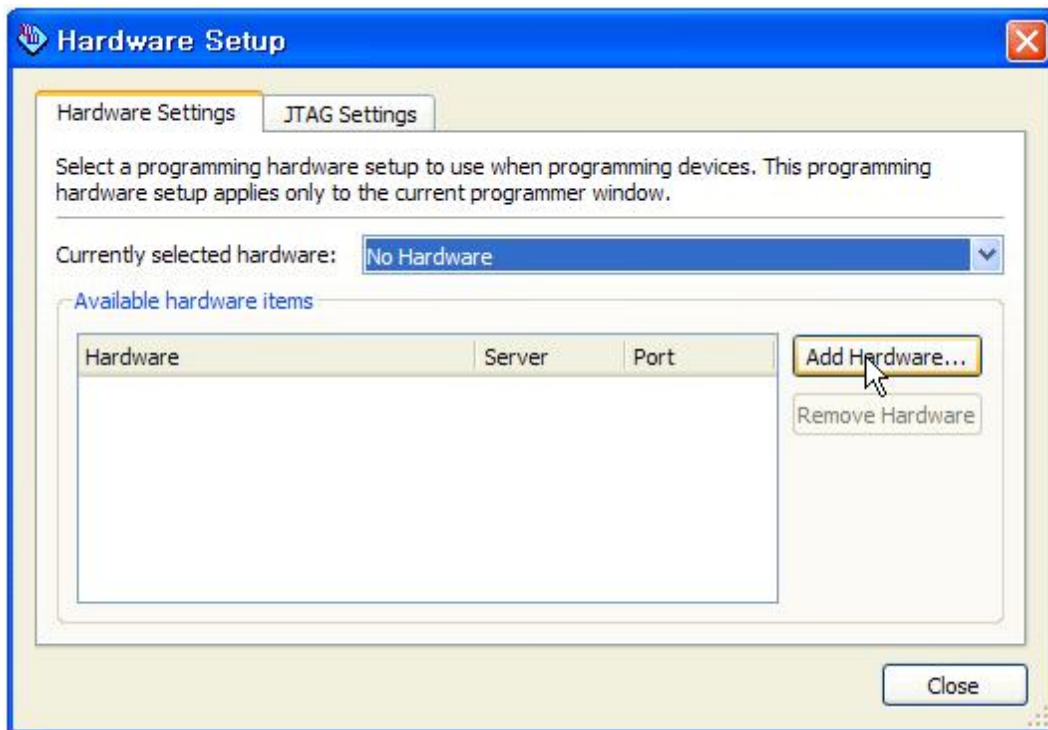
- Compilation 과정이 끝나면 Programmer를 선택하여 Chip에 프로그래밍한다.



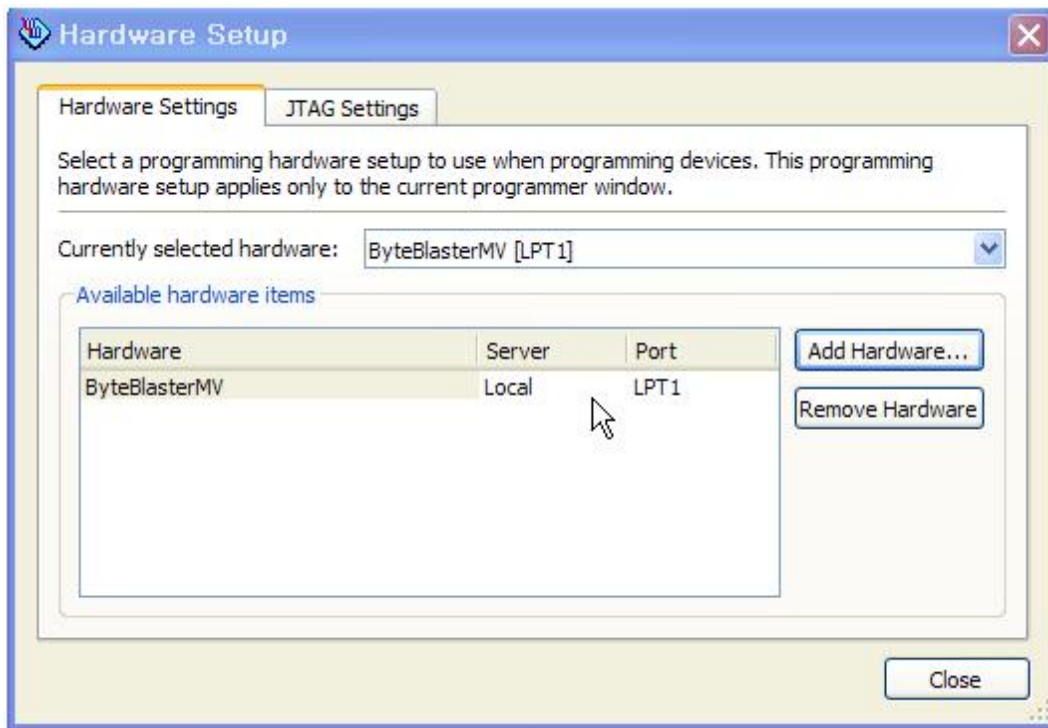
- 컴퓨터의 병렬 포트와 JTAG 모드로 연결된 CPLD를 Hardware Setup에서 선택한다.



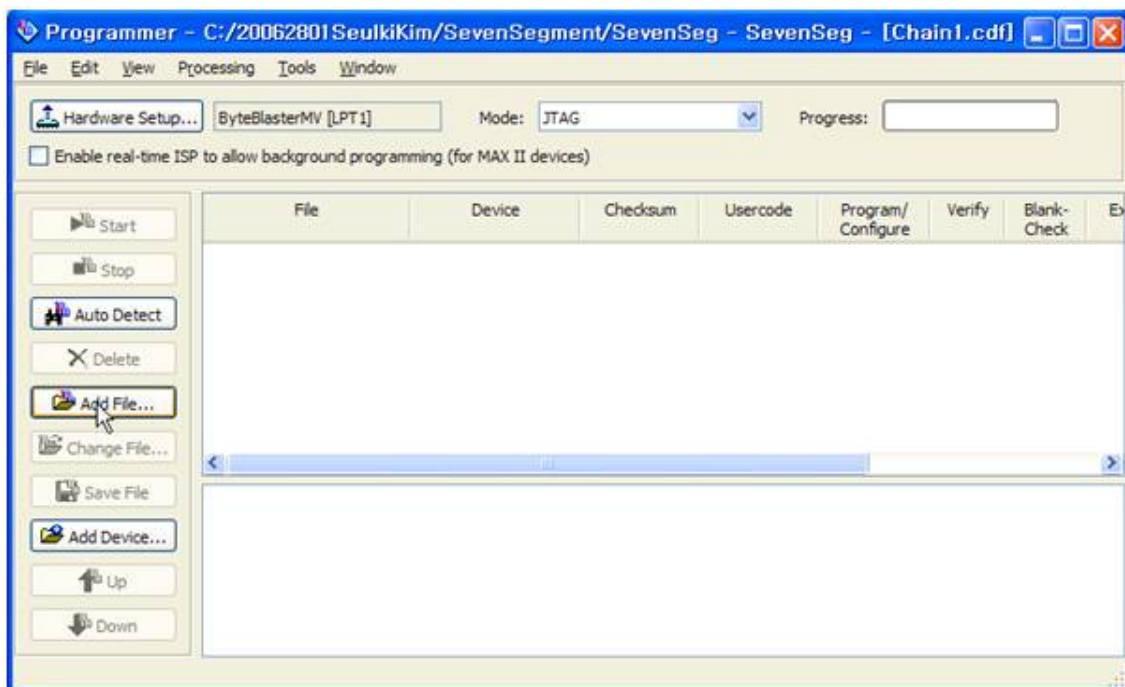
- Add Hardware를 선택하여 연결된 장치를 선택해 준다.

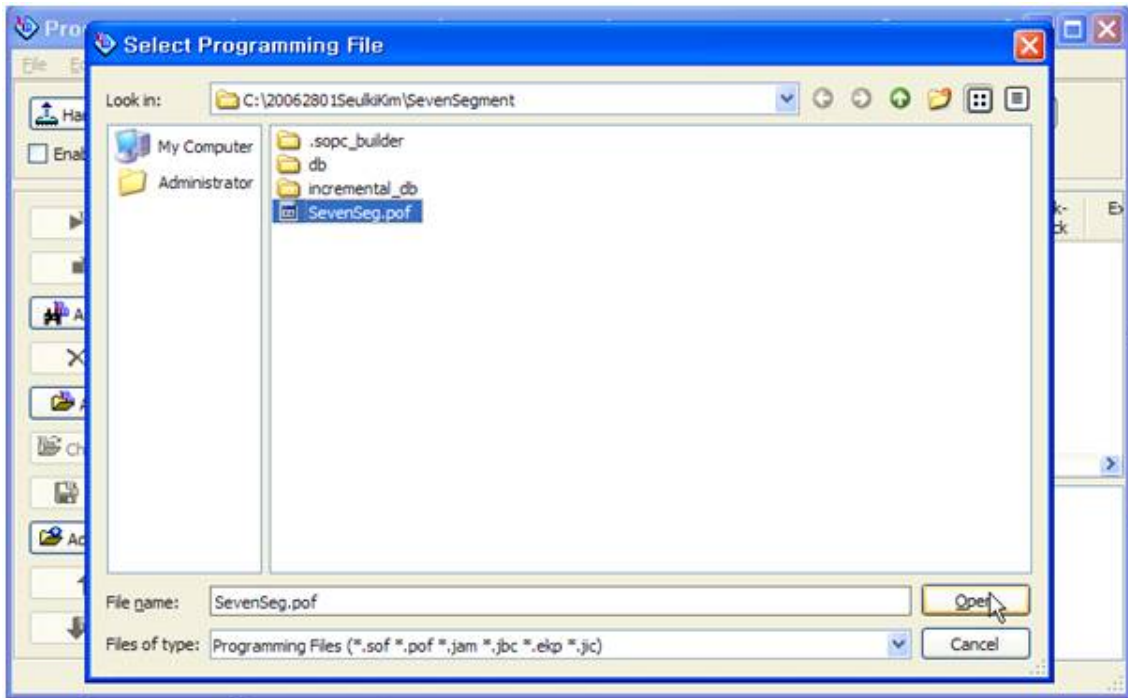


- ByteBlasterMV를 더블클릭 하여 선택하고 Close를 선택한다.



- Add File 을 선택하여 이미 생성된 프로그래밍 파일을 선택한다.





- Start 버튼을 눌러 CPLD Chip을 프로그래밍 한다.

